



ADAMS & WILKS  
ATTORNEYS AND COUNSELORS AT LAW  
17 BATTERY PLACE  
SUITE 1231  
NEW YORK, NEW YORK 10004

BRUCE L. ADAMS  
VAN C. WILKS\*

JOHN R. BENEFIEL\*  
FRANCO S. DE LIGUORI\*  
TAKESHI NISHIDA

\*NOT ADMITTED IN NEW YORK  
\*REGISTERED PATENT AGENT

RIGGS T. STEWART  
(1924-1993)

TELEPHONE  
(212) 809-3700

FACSIMILE  
(212) 809-3704

July 14, 2006

Mail Stop ISSUE FEE  
COMMISSIONER FOR PATENTS  
P.O. Box 1450  
Alexandria, VA 22313-1450

Re: Patent Application  
of Satoshi MACHIDA et al.  
Appln. No. 10/784,419  
Examiner: Kevin K. PYO

Filing Date: February 23, 2004  
Art Unit: 2878  
Docket No. S004-5227

S I R:

The above-identified application was filed claiming the right of priority based on the following foreign application(s).

Japanese Patent Appln. No. 2003-48592 filed February 26, 2003;  
Japanese Patent Appln. No. 2003-049572 filed February 26, 2003; and  
Japanese Patent Appln. No. 2004-019667 filed January 28, 2004

Certified copy(s) are annexed hereto and it is requested that these document(s) be placed in the file and made of record.

Respectfully submitted,

ADAMS & WILKS  
Attorneys for Applicant(s)

By: Bruce L. Adams  
Bruce L. Adams  
Reg. No. 25,386

MAILING CERTIFICATE

I hereby certify that this correspondence is being deposited with the United States Postal Service as first-class mail in an envelope addressed to: Mail Stop ISSUE FEE, COMMISSIONER FOR PATENTS, P.O. Box 1450, Alexandria, Virginia, 22313-1450, on the date indicated below.

Donna Riccardulli  
Name  
Donna Riccardulli  
Signature

JULY 14, 2006  
Date

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 2月26日

出願番号  
Application Number: 特願2003-048592

[ST. 10/C]: [JP 2003-048592]

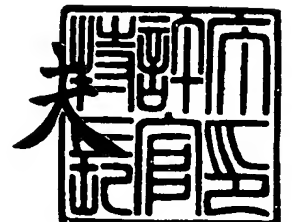
出願人  
Applicant(s): セイコーインスツルメンツ株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2004年 2月20日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 03000121

【提出日】 平成15年 2月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 31/02

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインス  
ツルメンツ株式会社内

【氏名】 町田 聡

【特許出願人】

【識別番号】 000002325

【氏名又は名称】 セイコーインスツルメンツ株式会社

【代表者】 入江 昭夫

【代理人】

【識別番号】 100096378

【弁理士】

【氏名又は名称】 坂上 正明

【手数料の表示】

【予納台帳番号】 008246

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0103799

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 光電変換装置

【特許請求の範囲】

【請求項 1】 光電変換手段と、

前記光電変換手段の出力端子が入力端子に接続されたりセット手段と、 前記光電変換手段の出力端子が入力端子に接続されたアンプ手段と、

前記アンプ手段の出力を受けて信号を出力する電荷転送手段と、

前記光電変換手段の出力に接続された電荷保持手段と、

前記電荷転送手段の出力を受けて、信号を出力するソースフォロアアンプと、

前記基準信号と、前記光電変換手段に入射した光で発生した電荷の蓄積により得られる光信号と、を共通信号線に出力するチャンネル選択手段と、を有し、

前記チャンネル選択手段がオンして前記基準信号を前記共通信号線に出力し、次に前記光信号を前記電荷保持手段に送ることによって、前記光信号を共通信号線に読み出すことを特徴とする記載の光電変換装置。

【請求項 2】 前記共通信号線に接続された第 1 の電流源と、

前記ソースフォロアアンプのソースと前記チャンネル選択手段が接続されており、前記ソースフォロアアンプのソースと接地電位の間に、第 2 の電流源と、を有することを特徴とする請求項 1 に記載の光電変換装置。

【請求項 3】 前記チャンネル選択手段がオンしているとき前記第 2 の電流源に電流が制限され、前記電荷転送手段がオンし前記基準信号を前記容量に読み出すとき前記第 2 の電流源に電流が流れていることを特徴とする請求項 5 に記載の光電変換装置。

【請求項 4】 前記第 2 の電流源に流れる電流は、前記第 1 の電流源に流れる電流と、ほぼ同じであることを特徴とする、請求項 4 記載の光電変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光照射された原稿からの反射光を受けて電気信号に変換する光電変換装置に関し、特にファクシミリやイメージスキャナ等の画像読み取り装置に適

用するリニアイメージセンサーに関する。

#### 【0002】

##### 【従来の技術】

従来の画像読み取り装置に用いられているイメージセンサー IC の回路図である図 8 と、タイミングチャート図 9 を用いて説明する。

フォトダイオード 101 の N 型領域が正電源電圧端子 VDD に接続しており、P 型領域がリセットスイッチ 102 のドレインとソースフォロアアンプ 103 のゲートに接続している。リセットスイッチ 102 のソースには基準電圧 VREF1 が与えられている。ソースフォロアアンプ 103 の出力端子であるソースは、読み出しスイッチ 105 と定電流源 104 につながっている。定電流源 104 のゲートは基準電圧 VREFA の定電圧が与えられている。図 8 に示す光電変換ブロック An の枠の内側の要素は画素数分設けられており、各ブロックの読み出しスイッチ 105 は共通信号線 106 に接続している。なお、光電変換ブロック An は n ビット目の光電変換ブロックを示している。

#### 【0003】

共通信号線 106 は、抵抗 110 を通じてオペアンプ 109 の反転端子に入力しており、オペアンプ 109 の出力端子がチップセレクトスイッチ 112 と容量 113 を介して出力端子 116 につながっている。共通信号線 106 は、信号線リセットスイッチ 107 に接続し、信号線リセットスイッチ 107 のソースには基準電圧 VREF2 が与えられている。オペアンプ 109 の出力端子と反転端子の間には抵抗 111 が接続されていて、オペアンプ 109 の非反転端子は一定電圧 VREF3 に固定されている。オペアンプ 109、抵抗 110、抵抗 111 で反転増幅器 D が形成されている。

#### 【0004】

イメージセンサーの出力端子 116 は、MOS トランジスタ 114 のドレインに接続し、MOS トランジスタ 114 のソースには基準電圧 VREF4 が与えられている。また、イメージセンサーの出力端子 116 には、寄生容量などの容量 115 も接続されている。容量 113、容量 115、MOS トランジスタ 114 でクランプ回路 C が構成されている（例えば、特許文献 1 参照。）。

## 【0005】

## 【特許文献1】

特開平9-205588号公報(第4-5頁、第1図)

## 【0006】

## 【発明が解決しようとする課題】

しかし、このようなイメージセンサーにおいては、光電荷蓄積後、光信号を読み出してから、フォトダイオードをリセットし、その後基準信号を読み出し、光信号と基準信号の差をとるので、基準信号と光信号に乗っているリセットノイズが異なるという問題があった。すなわち、異なった、タイミングのリセットノイズを比較するため、ランダムノイズが大きいという問題があった。

## 【0007】

## 【課題を解決するための手段】

従来のような問題点を解決するために、本願発明にかかる香典変換装置は、光電変換手段と、光電変換手段の出力端子が入力端子に接続されたりセット手段と、光電変換手段の出力端子が入力端子に接続されたアンプ手段と、を有する。さらに、アンプ手段の出力を受けて信号を出力する電荷転送手段と、光電変換手段の出力に接続された電荷保持手段と、前記電荷転送手段の出力を受けて、信号を出力するソースフォロアアンプと、を有する。さらに、前記基準信号と前記光電変換手段に入射した光で発生した電荷の蓄積により得られる光信号とを共通信号線に出力するチャンネル選択手段と、を有する。そして、前記チャンネル選択手段がオンして前記基準信号を前記共通信号線に出力し、次に前記光信号を前記電荷保持手段に送ることによって、前記光信号を共通信号線に読み出すことを特徴とする。

## 【0008】

本願発明によれば、リセットスイッチの同じオフノイズが乗った基準信号と光信号とを順に読み出すので、相関2重サンプリング等の方法で、この電圧の差をとれば、固定パターンノイズとランダムノイズの小さい光電変換装置を得ることができる。

## 【0009】

**【発明の実施の形態】**

以下、本発明を図面を用いて説明する。

**【0010】**

図1は、本発明の第1の実施形態に係る光電変換装置の概略回路図である。図1に示す光電変換ブロックA<sub>n</sub>の枠の内側の要素は画素数分設けられており、各ブロックのチャンネル選択スイッチ7は共通信号線11に接続している。なお、光電変換ブロックA<sub>n</sub>はnビット目の光電変換ブロックを示している。図7に、全体構成図を示す。

**【0011】**

この回路は、光電変換手段となるフォトダイオード1、電荷転送手段となる転送スイッチ4、リセット手段となるリセットスイッチ2、アンプ手段3、容量5、MOSソースフォロアを形成するMOSトランジスタ6、チャンネル選択手段となるチャンネル選択スイッチ7、共通信号線11、第1の電流源8からなる。アンプ手段3はMOSソースフォロアやボルテージフォロアアンプ等で形成し、動作状態を選択するアンプイネーブル端子10を設けても良い。また、MOSトランジスタ6のゲートとソース間には寄生容量9が存在する。

**【0012】**

図2は、本発明の第1の実施形態に係る光電変換装置の概略回路図に対応したタイミングチャートである。

**【0013】**

以下にこのタイミングチャートを参照しながら、本実施形態の動作及び構成を説明する。

まず、nビット目の光電変換ブロックの動作について説明する。

$\phi R(n)$ によりリセットスイッチ2がオンすると、フォトダイオード1の出力端子V<sub>di</sub>は基準電圧V<sub>reset</sub>に固定され、リセットスイッチ2がオフすると、V<sub>di</sub>の電圧はV<sub>reset</sub>にオフノイズが加算された値になる。このオフノイズは、リセットする度に電位がゆらぐので、ランダムノイズとなる。したがって、ランダムノイズを防ぐためには、リセットした後のアンプ3の出力電圧と、その後、フォトダイオードが光電荷を蓄積した後のアンプ3の出力電圧の差をとればよい。

そこで、図2のように、 $\phi R(n)$ によりリセットスイッチ2がオフした後、 $\phi T1(n)$ により転送スイッチ4をオンして、TRの期間で基準信号を容量5に読み出す。基準信号は、1周期の間、容量5に保持される。この間にフォトダイオード1には、光電荷が蓄積し、Vdiの電位は光電荷の量に応じて変動している。次の周期の $\phi SCH(n)$ によりチャンネル選択スイッチ7をオンすると、REFの期間に、容量5に保持された基準信号が共通信号線11に読み出される。次に、 $\phi T1(n)$ をオンし、TSの期間でフォトダイオードに蓄積した電荷に応じた光信号を容量5に読み出すと、この光信号が共通信号線11に読み出される。 $\phi T1(n)$ をオンすると、容量5に光信号が蓄積されるが、 $\phi T1(n)$ をオンしている期間TSの間に、V1の電位がセットリングするようにアンプ手段3のドライバビリティーを設定すれば、 $\phi SCH(n)$ の期間を短くでき、高速の読み出しが可能である。

#### 【0014】

以上の動作により、 $\phi SCH(n)$ のREFの期間とSIGの期間の共通信号線11の出力電圧VOUTの差を取れば、固定パターンノイズとリセットスイッチ2によるランダムノイズを除去できる。次に、 $\phi T1(n)$ をオフしてから、 $\phi SCH(n)$ をオフし、 $\phi R(n)$ をオンして、次のフォトダイオードのリセットを行い、再び $\phi T1(n)$ をオンして、TRの期間で基準信号を容量5に読み出す。

#### 【0015】

$\phi SCH(n)$ がオフしてから、次のビットのチャンネル選択スイッチ7が $\phi SCH(n+1)$ によってオンし、次のビットの基準信号の読み出しが始まる。 $n+1$ ビット目の他のパルスは、 $n$ ビット目のパルスよりも、全て $\phi SCH$ のオン期間だけ後ろにずれる。各受光素子の蓄積期間は $\phi R(n)$ がオフしてから、次の周期の $\phi T1(n)$ のTSの期間の終了までであるが、この期間もビットによってずれることになる。基準信号と光信号は、相関2重サンプリング回路等を使い差をとる。これは、例えば、従来例の図8のブロックCの回路で可能である。

#### 【0016】

図3は、本発明の第2の実施形態に係る光電変換装置の概略回路図である。図1との違いは、MOSトランジスタ6のソースに、第2の電流源51が接続されている点である。この電流源はイネーブル信号 $\phi RR$ によってオン・オフし、オ



ン状態では、第1の電流源8と同程度の電流が流れるようになっている。

図5は、本発明の第2の実施形態に係る光電変換装置の概略回路図に対応したタイミングチャートである。

#### 【0017】

以下にこのタイミングチャートを参照しながら、本実施形態の動作及び構成を説明する。

まず、 $n$ ビット目の光電変換ブロックの動作について説明する。

$\phi R(n)$ によりリセットスイッチ2がオンすると、フォトダイオード1の出力端子Vdiは基準電圧Vresetに固定され、リセットスイッチ2がオフすると、Vdiの電圧はVresetにオフノイズが加算された値になる。このオフノイズは、リセットする度に電位がゆらぐので、ランダムノイズとなる。したがって、ランダムノイズを防ぐためには、リセットした後のアンプ3の出力電圧と、その後、フォトダイオードが光電荷を蓄積した後のアンプ3の出力電圧の差をとればよい。

そこで、図5のように、 $\phi R(n)$ によりリセットスイッチ2がオフした後、 $\phi T1(n)$ により転送スイッチ4をオンして、TRの期間で基準信号を容量5に読み出す。

このとき、イネーブル信号 $\phi RR(n)$ により電流源51をオン状態にすることによって、MOSトランジスタ6のソース電位を、 $\phi SCH(n)$ がオン状態の読み出し時と同程度にする。基準信号は、1周期の間、容量5に保持される。この間にフォトダイオード1には、光電荷が蓄積し、Vdiの電位は光電荷の量に応じて変動している。次の周期の $\phi SCH(n)$ によりチャンネル選択スイッチ7をオンすると、REFの期間に、容量5に保持された基準信号が共通信号線11に読み出される。次に、 $\phi T1(n)$ をオンし、光信号を容量5に読み出すと、この光信号が共通信号線11に読み出される。このとき、電流源51をオフ状態にする。このことによって、TRの期間で基準信号を容量5に読み出すときと、TSの期間でフォトダイオードに蓄積した電荷に応じた光信号を容量5に読み出すときのMOSトランジスタ6のソース電位を、同程度にすることができる。したがって、容量5に蓄える電荷への寄生容量9の影響を小さくすることができる。このことによって、暗出力電圧のオフセットを小さくできる。

#### 【0018】

以上の動作により、 $\phi$  SCH(n)のREFの期間とSIGの期間の共通信号線11の出力電圧VOUTの差を取れば、固定パターンノイズとリセットスイッチ2によるランダムノイズを除去できる。次に、 $\phi$  T1(n)をオフしてから、 $\phi$  SCH(n)をオフし、 $\phi$  R(n)をオンして、次のフォトダイオードのリセットを行い、再び $\phi$  T1(n)をオンして、TRの期間で基準信号を容量5に読み出す。

#### 【0019】

$\phi$  SCH(n)がオフしてから、次のビットのチャンネル選択スイッチ7が $\phi$  SCH(n+1)によってオンし、次のビットの基準信号の読み出しが始まる。n+1ビット目の他のパルスは、nビット目のパルスよりも、全て $\phi$  SCHのオン期間だけ後ろにずれる。

#### 【0020】

基準信号と光信号は、相関2重サンプリング回路等を使い、差をとる。これは、例えば、従来例の図8のブロックCの回路で可能である。

#### 【0021】

図4は、本発明の第2の実施形態に係る光電変換装置の回路図である。図3のリセットスイッチ2はMOSスイッチ35、アンプ手段3はMOSソースフォロア30と電流源31、転送スイッチ4は、トランスマッションゲート32とダミースイッチ33、第2の電流源51はMOS電流源34、チャンネル選択スイッチ7はMOSスイッチ36、第1の電流源8はMOS電流源37で置き換えている。なお、MOS電流源34を取り除けば、第1の実施形態に係る光電変換装置の回路図となる。

#### 【0022】

図6は、本発明の第2の実施形態に係る光電変換装置の回路図に対応したタイミングチャートである。

#### 【0023】

図5との違いは、 $\phi$  SELが $\phi$  I1に変わった点である。また、 $\phi$  T1Xは図6に示さないが、 $\phi$  T1の反転である。

#### 【0024】

図4の回路では、アンプ30のオン・オフを、電流源31のゲート電圧でコン

トロールする。すなわち、 $\phi I1$ が電源電圧のとき、電流は流れず、アンプ30はオフ状態であり、 $\phi I1$ が電源電圧よりも低い適当な電圧のとき、電流が流れアンプ30はオン状態である。

#### 【0025】

図2の回路ではMOSソースフォロア30の基板電位とソース電位を共通としているので、ゲインをほぼ1にできる。

#### 【0026】

また、基準信号REFを読み出すときは $\phi T1$ のオフノイズが乗った状態のV1の電位を読み出すが、光信号SIGを読み出すときは $\phi T1$ のオフノイズが乗っていない状態のV1の電位を読み出している。このため、 $\phi T1$ のオフノイズ分が、暗出力オフセットとなってしまう。これを小さくするために、転送スイッチをトランスミッションゲート32とし、ダミースイッチ33を設けている。トランスミッションゲートのNMOSとPMOSのトランジスタサイズは同じにし、ダミースイッチ33のNMOSとPMOSのトランジスタサイズは、トランスミッションゲートのトランジスタサイズのゲート面積の半分にする

$\phi RR$ はGND電位のとき、MOS電流源34はオフ状態で、適当な電位のとき、MOS電流源34はオン状態となる。オン状態の $\phi RR$ の電位は、MOS電流源34の電流がMOS電流源37の電流と同程度になるように設定する。簡単のために、MOS電流源34のサイズを適当に定め、オン状態の $\phi RR$ の電位を電源電圧とすることもできる。以上は、MOSトランジスタ6とMOS電流源34とMOS電流源37が共にNMOSの場合であるが、共にPMOSであっても同様にできる。

#### 【0027】

以上の説明で、本発明は上述した各実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

上記の回路は1つの半導体基盤上に形成し、リニアイメージセンサーICとすることが可能である。また、このリニアイメージセンサーICを複数個直線状に実装して、密着型イメージセンサーを供給することができる。

#### 【0028】

**【発明の効果】**

以上説明したように、本発明は、リセットスイッチの同じオフノイズが乗った光信号と基準信号とを読み出すので、固定パターンノイズと、ランダムノイズの小さい光電変換装置が得られる。

**【0029】**

したがって、簡単な構成で、暗出力のばらつきが小さいイメージセンサー IC を供給できる。また、このイメージセンサー IC を複数個直線状に実装した、密着型イメージセンサーを供給することができる。

**【図面の簡単な説明】****【図 1】**

本発明の第 1 の実施形態に係る光電変換装置の概略回路図である。

**【図 2】**

本発明の第 1 の実施形態に係る光電変換装置の概略回路図に対応したタイミングチャートである。

**【図 3】**

本発明の第 2 の実施形態に係る光電変換装置の概略回路図である。

**【図 4】**

本発明の第 2 の実施形態に係る光電変換装置の回路図である。

**【図 5】**

本発明の第 2 の実施形態に係る光電変換装置の概略回路図に対応したタイミングチャートである。

**【図 6】**

本発明の第 2 の実施形態に係る光電変換装置の回路図に対応したタイミングチャートである。

**【図 7】**

本発明に係る光電変換装置の全体構成図である。

**【図 8】**

従来の画像読み取り装置に用いられているイメージセンサー IC の回路図である。

## 【図 9】

従来の画像読み取り装置に用いられているイメージセンサー IC のタイミングチャートである。

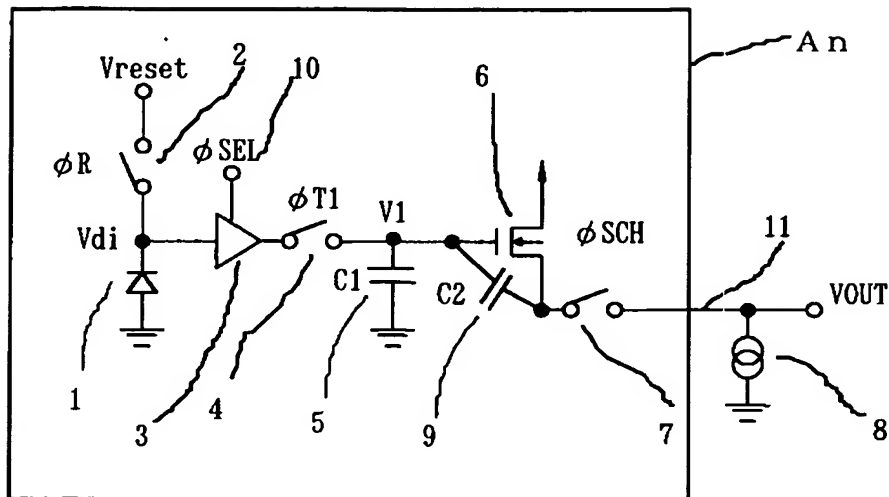
## 【符号の説明】

- 1        フォトダイオード
- 2        リセットスイッチ
- 3        アンプ
- 4        転送スイッチ
- 5        容量
- 6        MOS トランジスタ
- 7        チャンネル選択スイッチ
- 8        第 1 の電流源
- 9        寄生容量
- 10      アンプイネーブル端子
- 11      共通信号線
- 30      MOS ソースフォロア
- 31      電流源
- 32      トランスミッションゲート
- 33      ダミースイッチ
- 34      MOS 電流源
- 35      MOS スイッチ
- 36      MOS スイッチ
- 37      MOS 電流源
- 51      第 2 の電流源
- 101     フォトダイオード
- 102     リセットスイッチ
- 103     ソースフォロアアンプ
- 104     定電流源
- 105     読み出しスイッチ

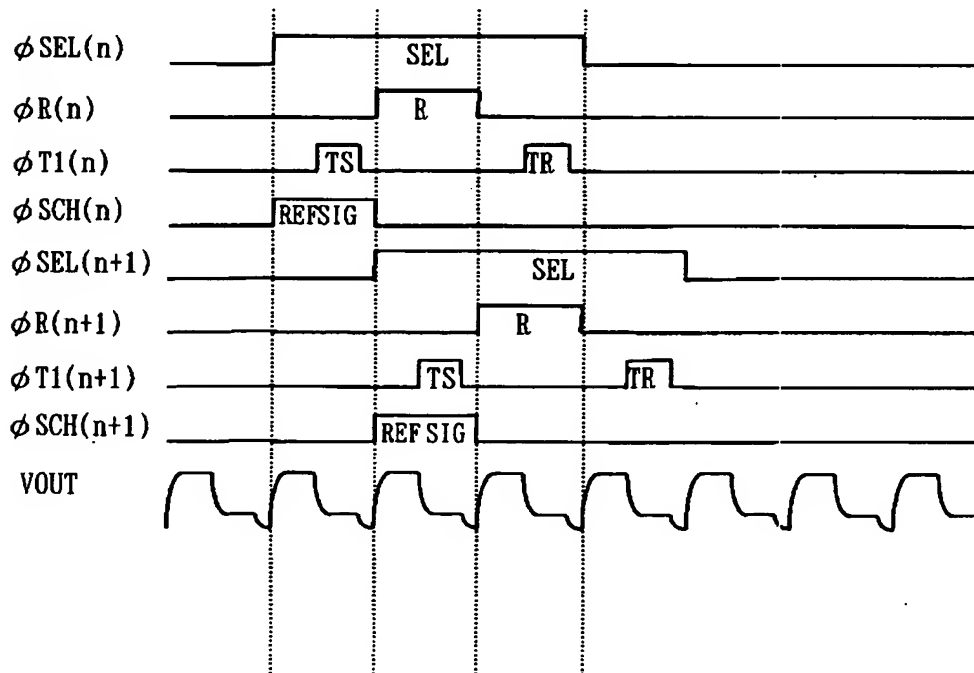
- 1 0 6 共通信号線
- 1 0 7 信号線リセットスイッチ
- 1 0 8 寄生容量
- 1 0 9 オペアンプ
- 1 1 0 抵抗
- 1 1 1 抵抗
- 1 1 2 チップセレクトスイッチ
- 1 1 3 容量
- 1 1 4 MOS トランジスタ
- 1 1 5 容量
- 1 1 6 出力端子
- A n n ビット目の光電変換ブロック
- B m m チップ目のイメージセンサー I C ブロック
- C クランプ回路
- D 反転増幅器

【書類名】 図面

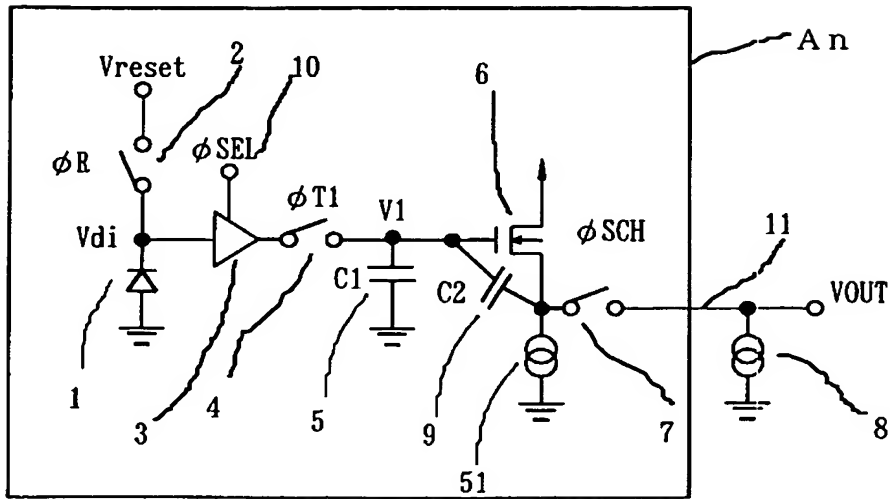
【図 1】



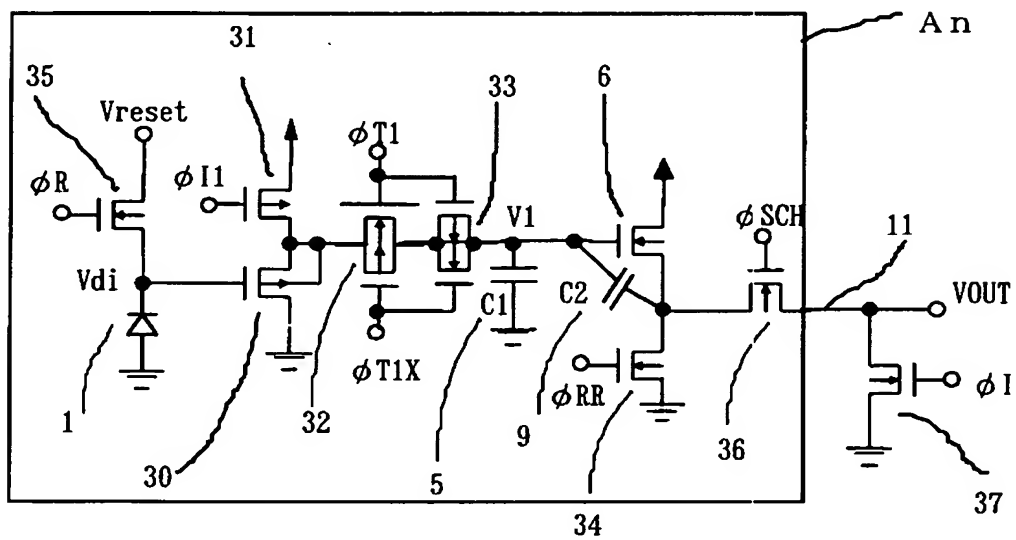
【図 2】



【図 3】

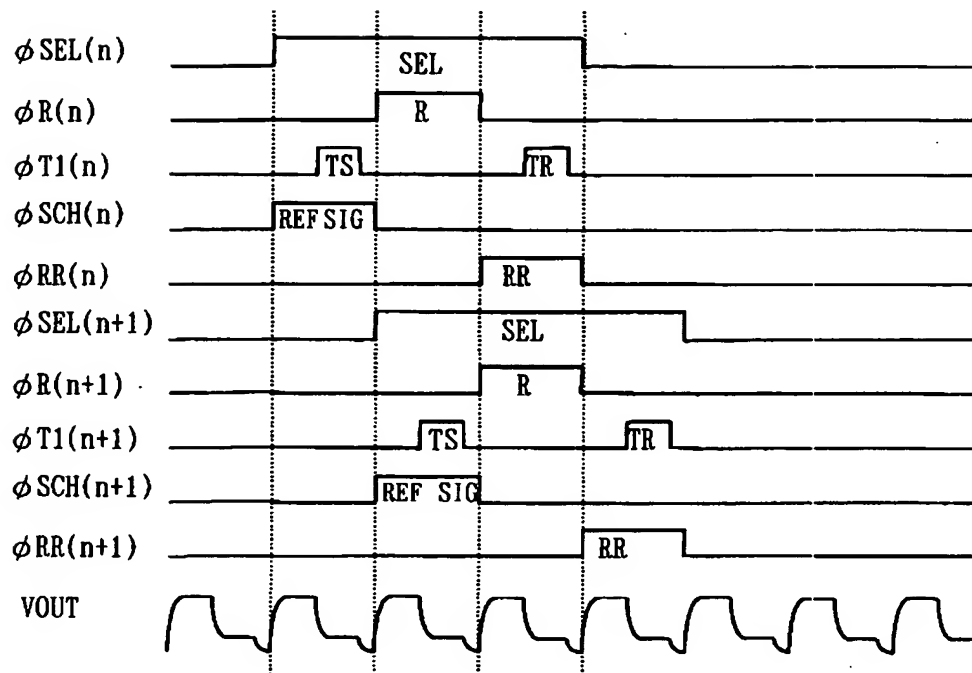


【図 4】

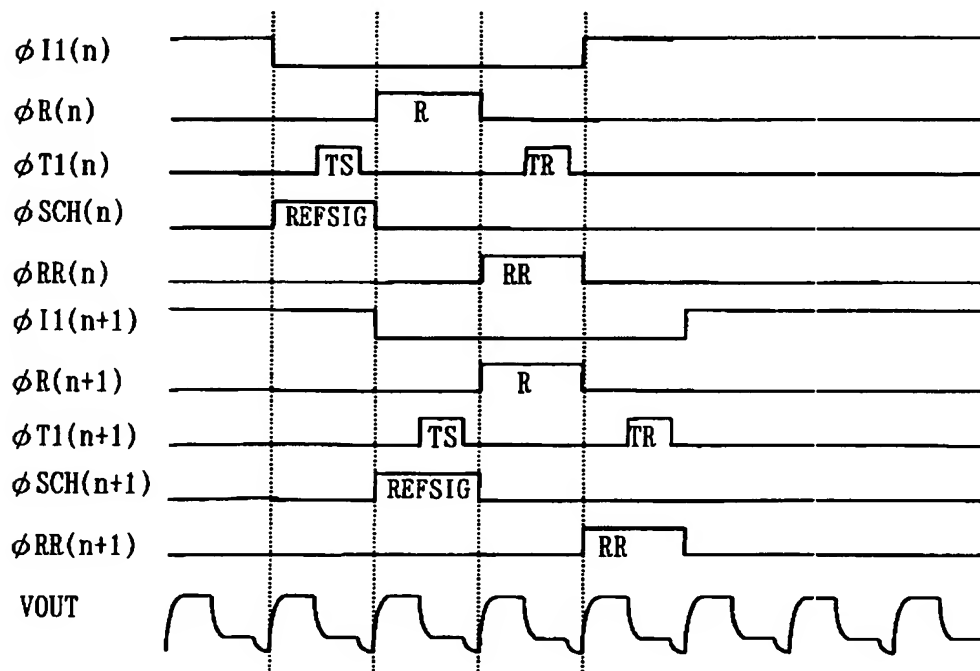




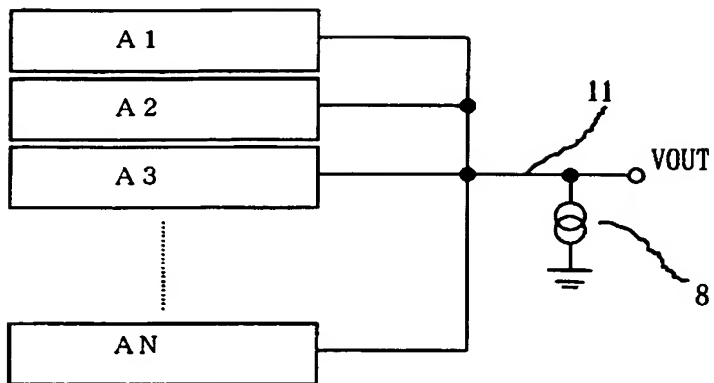
【図 5】



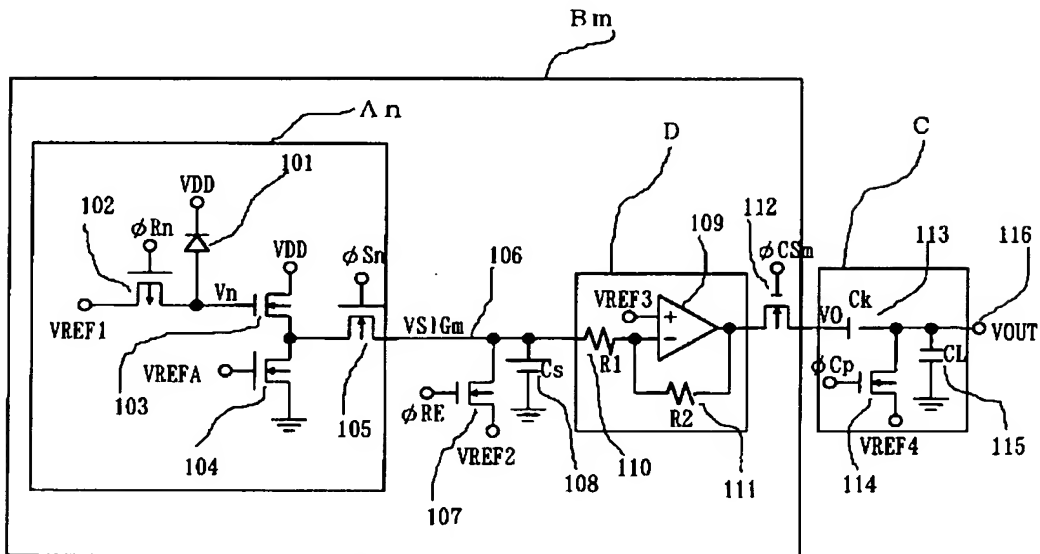
【図 6】



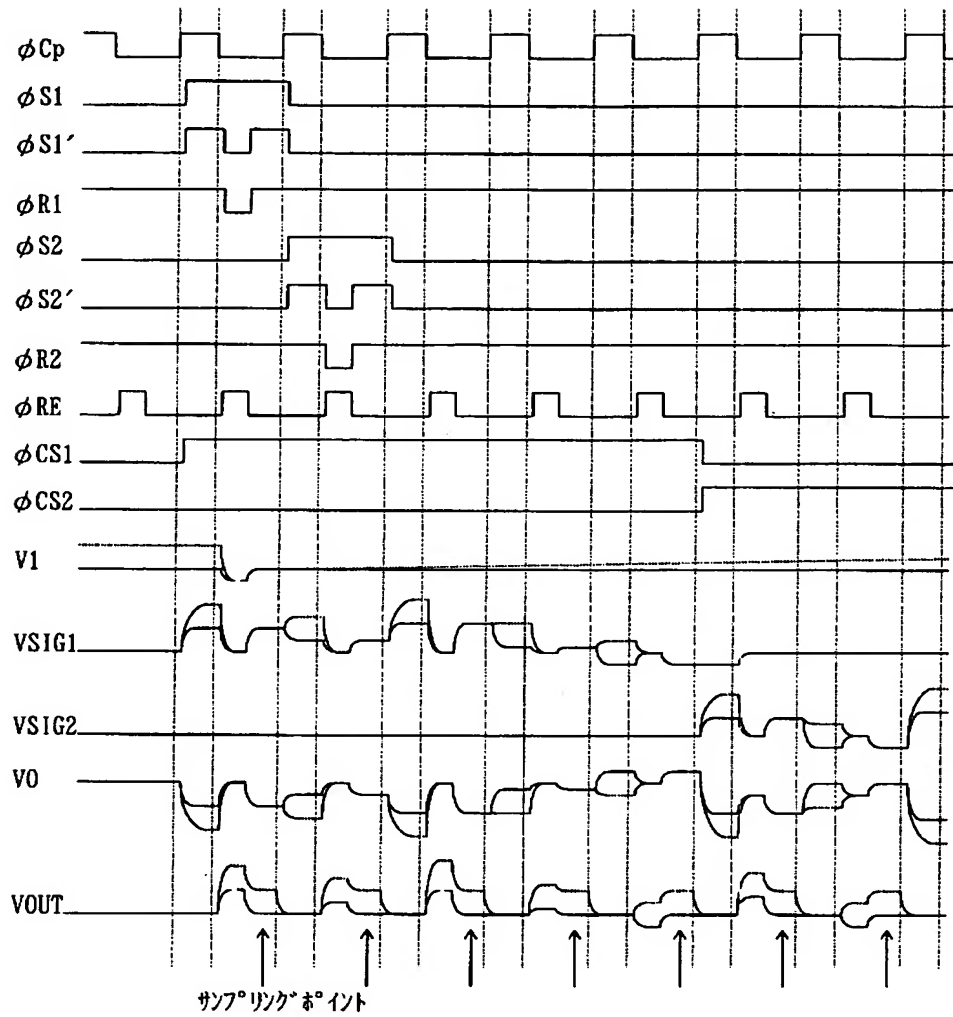
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 ランダムノイズを低減可能な光電変換装置の提供。

【解決手段】 光電変換手段の出力端子が、リセット手段とアンプ手段の入力端子に接続され、前記光電変換手段の出力端子をリセットすることにより生じる基準信号を保持する保持手段と、前記基準信号と、前記光電変換手段の光電変換領域に入射した光で発生した電荷の蓄積を行った後に得られる光信号とを共通信号線に読み出す信号読み出し手段と、を有する。

【選択図】 図 1

特願 2 0 0 3 - 0 4 8 5 9 2

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 2 3 2 5 ]

1. 変更年月日	1 9 9 7 年 7 月 2 3 日
[変更理由]	名称変更
住 所	千葉県千葉市美浜区中瀬 1 丁目 8 番地
氏 名	セイコーインスツルメンツ株式会社